

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-064697

(43)Date of publication of application : 08.03.1996

(51)Int.Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

(21)Application number : 06-221010

(71)Applicant : NIPPON STEEL CORP

(22)Date of filing : 23.08.1994

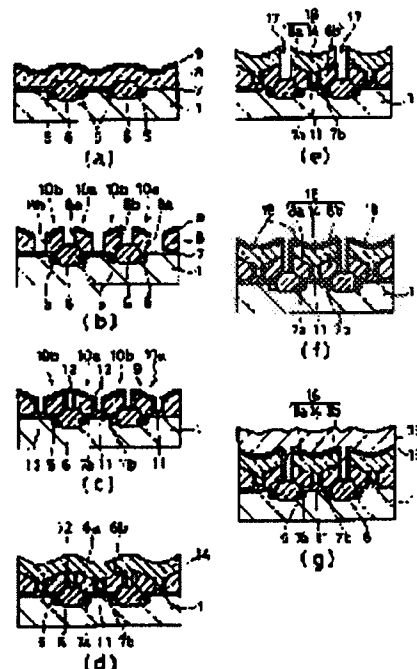
(72)Inventor : TOMIOKA YUGO

(54) PRODUCTION OF NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To easily produce through comparatively lessened number of processes such a flash memory that can be operated at a low voltage by single power supply.

CONSTITUTION: After a polycrystal silicon film 8 and silicon nitride film 9 on a tunnel oxide film 7 are formed into patterns 10a and 10b, a substrate 1 is oxidized thermally to form a gate oxide film 11. After removing the film 9, a polycrystal silicon film 14 is formed and floating gates 16 separating from each other by groove parts 17 are formed therein. Further, a polycrystal silicon film 19 is formed thereon to form an ONO film 18 and control gate.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64697

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.⁶

H 0 1 L 21/8247

29/788

29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/ 78

3 7 1

審査請求 未請求 請求項の数 3 F D (全 13 頁)

(21) 出願番号 特願平6-221010

(22) 出願日 平成6年(1994)8月23日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72) 発明者 富岡 雄吾

東京都千代田区大手町2-6-3 新日本
製鐵株式会社内

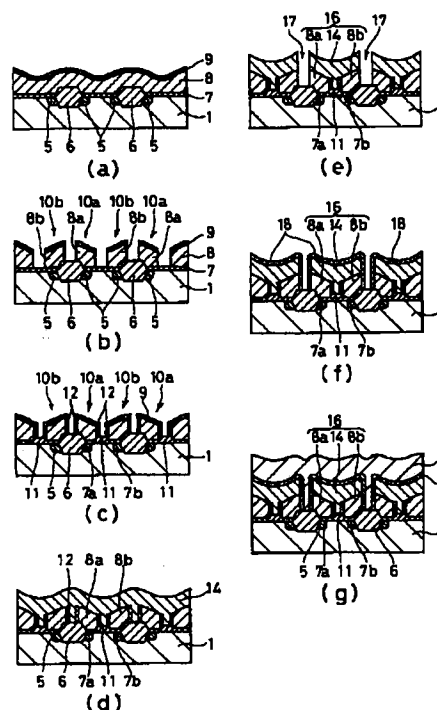
(74) 代理人 弁理士 園分 孝悦

(54) 【発明の名称】 不揮発性半導体記憶装置の製造方法

(57) 【要約】

【目的】 低電圧での単一電源動作が可能なフラッシュメモリを比較的少ない工程数で簡単に製造する。

【構成】 トンネル酸化膜7上の多結晶シリコン膜8及びシリコン窒化膜9をパターン10a、10bに形成した後、パターン10a、10b間の基板1を熱酸化してゲート酸化膜11を形成する。シリコン窒化膜9を除去した後、多結晶シリコン膜14を形成してから、溝部17で互いに分離された浮遊ゲート16を形成する。さらに、ONO膜18及び制御ゲートとなる多結晶シリコン膜19を成膜する。



1

【特許請求の範囲】

【請求項1】 第1導電型の半導体基板上にトンネル絶縁膜を形成する工程と、

上記半導体基板全面に第1の導電性膜及び耐酸化膜を順次形成する工程と、

上記第1の導電性膜及び上記耐酸化膜を選択的に除去し、上記第1の導電性膜及び上記耐酸化膜のパターンを形成する工程と、

上記第1の導電性膜及び上記耐酸化膜のパターンの間の上記半導体基板上に、上記トンネル絶縁膜よりも膜厚の大きいゲート絶縁膜を熱酸化によって形成する工程と、

上記耐酸化膜を除去する工程と、

上記第1の導電性膜上に第2の導電性膜を形成する工程と、

少なくとも上記第2の導電性膜を選択的に除去し、上記トンネル絶縁膜及び上記ゲート絶縁膜上に上記第1の導電性膜及び上記第2の導電性膜からなる浮遊ゲートを形成する工程と、

上記第2の導電性膜上に容疑絶縁膜を形成する工程と、上記容疑絶縁膜上に制御ゲートとなる第3の導電性膜をパターン形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項2】 斜めイオン注入法によって、少なくとも上記制御ゲートの方向のメモリセル間の素子分離をする素子分離構造の端部近傍部分の上記半導体基板内に第2導電型の不純物拡散層を形成する工程を更に有することを特徴とする請求項1に記載の不揮発性半導体記憶装置の製造方法。

【請求項3】 上記制御ゲート及び少なくとも上記制御ゲートの方向のメモリセル間の素子分離をする素子分離構造をマスクとしたイオン注入法によって、上記制御ゲート及び上記素子分離構造で囲まれた領域の上記半導体基板内に第2導電型の不純物拡散層を形成する工程を更に有することを特徴とする請求項1に記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、EEPROM (Electrically Erasable and Programmable Read Only Memory) 等の不揮発性半導体記憶装置の製造方法に関する。

【0002】

【従来の技術】EEPROMは、メモリセルに記憶されたデータを電氣的に書き込み及び消去することが可能であるとともに、電源を切ってもデータが半永久的に消えない不揮発性を有する半導体記憶装置である。このようなEEPROMのうち、全ビット一括又はブロック単位でデータの消去を行うようにしたフラッシュ型EEPROM (以下「フラッシュメモリ」と称する。)は、1つのメモリセルがMOSトランジスタ1つだけで構成できるため、高集積化に適している。

2

【0003】近年、携帯用機器などに用いるために電源電圧を低電圧化し、5V単一電源でフラッシュメモリを動作させる要求が強くなってきている。しかし、例えばスタック型メモリセルを有するフラッシュメモリでは、5V単一電源化を実現するために、データ消去時に大電流が流れるソースに高電圧を印加する必要があることが障害になる。この問題を解決するために、データ消去時にメモリセルの制御ゲートに負電圧を印加するという方法がある。ところが、この方法は、負電圧発生回路、高耐圧トランジスタ及び3重ウェル構造等を必要とし、回路的にも複雑となる。そこで、比較的簡単な装置構造で5V単一電源化を実現するためのメモリセルとして、“A High Capacitive-Coupling Ratio (HiCR) Cell for 3V-Only 64 Mbit and Future Flash Memories” (Yoshiaki S. et.al. 1993 IEDM Technical Digest, pp.19-22) に記載のような構造を有するメモリセルが提案されている。上記文献に記載のメモリセルの製造方法を、図8を参照して簡単に説明する。

【0004】まず、図8(a)に示すように、P型シリコン基板101上にLOCOS法によってフィールド酸化膜102を形成した後、ゲート酸化膜103、多結晶シリコン膜104、シリコン酸化膜105及びシリコン窒化膜106をパターン形成する。

【0005】次に、図8(b)に示すように、熱酸化膜108をパターン形成した後、多結晶シリコン膜104等をマスクとしてN型不純物をイオン注入し、不純物拡散層109を形成する。しかる後、多結晶シリコン膜104等のサイドウォール膜110をシリコン窒化膜で形成する。さらに、サイドウォール膜110を耐酸化膜としたLOCOS法で、比較的膜厚の厚いシリコン酸化膜119を形成する。

【0006】次に、図8(c)に示すように、シリコン窒化膜106及びサイドウォール膜110を除去した後、熱酸化膜108及びシリコン酸化膜105を除去し、更に、犠牲酸化膜(図示せず)を形成及び除去してから、シリコン基板101上のサイドウォール膜110を除去した表面に急速熱酸化法等でトンネル酸化膜(oxynitride)112を形成する。しかる後、全面に多結晶シリコン膜113を形成する。尚、トンネル酸化膜112は良好な膜質が要求されるためにCVD法での形成には適しない。

【0007】次に、図8(d)に示すように、多結晶シリコン膜113を異方性エッチングすることにより、多結晶シリコン膜104等のサイドウォールシリコン膜114を形成する。

【0008】次に、図8(e)に示すように、多結晶シリコン膜104上のトンネル酸化膜112を除去した後、全面に多結晶シリコン膜115を成膜する。

【0009】次に、図8(f)に示すように、多結晶シリコン膜115を浮遊ゲートの形状にパターニングす

3

る。しかる後、多結晶シリコン膜115上にONO膜等の絶縁膜116を形成し、さらに絶縁膜116上にワード線となる制御ゲート117をパターン形成する。

【0010】以上の工程による製造されたフラッシュメモリのメモリセルは、トンネル酸化膜112の面積がきわめて狭く形成されているので、浮遊ゲート（多結晶シリコン膜104、サイドウォールシリコン膜114、多結晶シリコン膜115からなる）及びチャネル領域間の容量を非常に小さくすることができる。その結果、トンネル酸化膜112での電界集中が大きくなってファウラー・ノードハイムトンネリング（FNトンネリング）現象による電子の引き抜き及び注入を効率よく行うことができ、メモリセルを低電圧で動作させることが可能になって、例えば5V単一電源化を実現できる。尚、上述のフラッシュメモリの製造方法は、MNOS型のEPROMにも適用することが可能である。

【0011】

【発明が解決しようとする課題】しかし、上記文献に記載のフラッシュメモリの製造方法は、サイドウォール膜110を形成した後に熱酸化を行ってシリコン酸化膜119を形成し、さらにサイドウォール膜110を除去した後にトンネル酸化膜112を形成するという多くの煩雑な工程を必要とする。特に、上記方法は、サイドウォール膜の形成及びLOCOS法による熱酸化といった工程を夫々2回づつ行うために製造に非常に長時間を必要とし、スループットが低いという問題があった。

【0012】また、上記文献に記載のフラッシュメモリの製造方法においては、特に熱酸化膜108及びシリコン酸化膜105を除去する工程でシリコン酸化膜119が同時にエッチングされるため、シリコン酸化膜119の膜厚が不必要に薄くなってしまふ。その結果、シリコン酸化膜119を介して対向する不純物拡散層109と多結晶シリコン膜115との間の蓄電容量が大きくなってしまい、トンネル酸化膜112での電界集中が阻害され、メモリセルを所望の低電圧で動作させることができないという問題があった。

【0013】そこで、本発明の目的は、低電圧での単一電源動作が可能な不揮発性半導体記憶装置を比較的少ない工程数で簡単に製造することのできる方法を提供することである。

【0014】

【課題を解決するための手段】上記課題を解決するために、本発明の不揮発性半導体記憶装置の製造方法は、第1導電型の半導体基板上にトンネル絶縁膜を形成する工程と、上記半導体基板全面に第1の導電性膜及び耐酸化膜を順次形成する工程と、上記第1の導電性膜及び上記耐酸化膜を選択的に除去し、上記第1の導電性膜及び上記耐酸化膜のパターンを形成する工程と、上記第1の導電性膜及び上記耐酸化膜のパターンの間の上記半導体基板上に、上記トンネル絶縁膜よりも膜厚の大きいゲート

4

絶縁膜を熱酸化によって形成する工程と、上記耐酸化膜を除去する工程と、上記第1の導電性膜上に第2の導電性膜を形成する工程と、少なくとも上記第2の導電性膜を選択的に除去し、上記トンネル絶縁膜及び上記ゲート絶縁膜上に上記第1の導電性膜及び上記第2の導電性膜からなる浮遊ゲートを形成する工程と、上記第2の導電性膜上に容量絶縁膜を形成する工程と、上記容量絶縁膜上に制御ゲートとなる第3の導電性膜をパターン形成する工程とを有する。

10 【0015】本発明の一態様においては、斜めイオン注入法によって、少なくとも上記制御ゲートの方向のメモリセル間の素子分離をする素子分離構造の端部近傍部分の上記半導体基板内に第2導電型の不純物拡散層を形成する工程を更に有する。

【0016】本発明の一態様においては、上記制御ゲート及び少なくとも上記制御ゲートの方向のメモリセル間の素子分離をする素子分離構造をマスクとしたイオン注入法によって、上記制御ゲート及び上記素子分離構造で囲まれた領域の上記半導体基板内に第2導電型の不純物拡散層を形成する工程を更に有する。

20 【0017】

【作用】本発明では、トンネル絶縁膜上に形成した第1の導電性膜を選択的に除去した箇所にゲート絶縁膜を熱酸化によって形成するので、従来のようにサイドウォール膜を形成した後に熱酸化を行ってシリコン酸化膜を形成し、さらにサイドウォール膜を除去するという多くの煩雑な工程を行う必要がない。また、製造中にトンネル絶縁膜以外の部分が不必要にエッチングされてその部分の膜厚が薄くなってしまふことがないので、トンネル絶縁膜での電界集中が阻害されることがない。

30 【0018】また、斜めイオン注入法によって、素子分離構造の端部近傍部分の半導体基板内に不純物拡散層を形成することにより、素子分離構造の端部近傍部分の半導体基板内に簡便且つ自己整合的に不純物拡散層を形成することができるとともに、素子分離構造に沿った複数のメモリセルに共有される不純物拡散層が形成されるためにメモリセル毎にコンタクトを設けることが不要となる。メモリセルをより高集積化することができるようになる。

40 【0019】また、制御ゲート及び素子分離構造をマスクとしたイオン注入法を行い、不純物の横方向拡散によってトンネル絶縁膜と不純物拡散層とのオーバーラップ部分を形成するので、イオン注入された半導体基板表面にトンネル絶縁膜を形成することがなくなり、膜厚の良好なトンネル絶縁膜を形成できる。

【0020】

【実施例】

【0021】以下、本発明の実施例を図面を参照して説明する。

50 【0022】図1は、第1実施例のフラッシュメモリの

5

メモリセルアレイ部分の部分的な概略構成を示す図であり、図1(a)は平面図、図1(b)は図1(a)のA-A線での断面図である。

【0023】図1(a)において、フィールド酸化膜6の長手方向と直交する方向には、複数のメモリセルに共有された制御ゲート(ワード線)20が形成されている。そして、制御ゲート20の下部であって、フィールド酸化膜6に挟まれた素子領域上には各メモリセルの浮遊ゲート16が形成されている。また、各浮遊ゲート16下のシリコン基板1表面には、隣接するトンネル酸化膜7a、7bよりも膜厚の大きいゲート酸化膜11が、トンネル酸化膜7a、7bとの境界がフィールド酸化膜6に沿った方向となるように形成されている(図1(b)参照)。

【0024】N型不純物拡散層であるソース・ドレイン5は、フィールド酸化膜6の長手方向に沿ってフィールド酸化膜6の端部近傍部分のシリコン基板1表面に形成されている。即ち、ソース・ドレイン5は、フィールド酸化膜6の長手方向に配列された多数のメモリセルに夫々共有されている。また、ソース・ドレイン5の一方(ドレイン)は、所定ブロック毎に設けられたビットコンタクト(図示せず)を介してビット線(図示せず)に接続されており、他方(ソース)も所定ブロック毎に設けられたソースコンタクト(図示せず)を介してソース線(図示せず)に接続されている。この構成により、各メモリセル毎のビットコンタクト及びソースコンタクトが不要となってフィールド酸化膜6の長手方向での高集積化を図ることができる。

【0025】図1(b)において、各メモリセルは、P型シリコン基板1上にトンネル酸化膜7a、7b及びゲート酸化膜11を介して形成された浮遊ゲート16(多結晶シリコン膜14及び多結晶シリコン膜8a、8bからなる)と、浮遊ゲート16上にONO膜18を介して形成された制御ゲート20と、フィールド酸化膜6の端部近傍部分のシリコン基板1表面に形成されたソース・ドレイン5とを有している。また、ゲート酸化膜11上には、多結晶シリコン膜14及び多結晶シリコン膜8a、8bの境界まで上方に延びた2本のシリコン酸化膜12が形成されている。さらに、メモリセルの全体は、層間絶縁膜21で覆われている。

【0026】図1(a)及び(b)から明らかなように、本実施例のフラッシュメモリは、フィールド酸化膜6下以外のソース・ドレイン5とトンネル酸化膜7a、7bとのオーバーラップ部分を介して、ソース・ドレイン5と浮遊ゲート16との間で電子の注入及び引き抜きが行われる。このオーバーラップ部分は、1つのメモリセルのソース・ドレイン5の一方について形状が矩形で例えば $0.1\mu\text{m} \times 0.6\mu\text{m}$ 程度(制御ゲート20の幅に相当)にきわめて狭く形成されているので、浮遊ゲート16及びソース・ドレイン5間の容量を非常に小さく

6

くすることができる。その結果、トンネル酸化膜7a、7bでの電界集中が大きくなってFNトンネリング現象による電子の引き抜き及び注入をより効率よく行うことができ、例えば3.3Vの低電圧での単一電源動作が可能になる。尚、トンネル酸化膜7a、7bは、そのいずれか一方だけが形成されていればよく、その場合にはトンネル酸化膜での電界集中をさらに高めることができる。

【0027】図1に示すメモリセルは、浮遊ゲート16と制御ゲート20との間に挟まれたONO膜18の面積を比較的大きくとることができるので、浮遊ゲート16及び制御ゲート20間の容量を大きくできて低電圧動作を促進できる。また、フィールド酸化膜6の端部近傍部分にソース・ドレイン5を形成し、それらの間にチャネルが形成されるようにしているので、制御ゲート20の長手方向でメモリセルの面積を狭くすることができて装置のより一層の高集積化が可能になる。

【0028】次に、本実施例のフラッシュメモリの製造方法を、図1(b)に対応した断面を工程順に示す図2及び図3を参照しながら説明する。

【0029】まず、図2(a)に示すように、P型シリコン基板1上に熱酸化法又はCVD法によって、膜厚30~50nm程度のバッド酸化膜2を全面に形成した後、CVD法によって、膜厚100~300nm程度のシリコン窒化膜3を全面に形成する。しかる後、フォトレジスト4を全面に塗布する。

【0030】次に、図2(b)に示すように、フォトリソグラフィによって素子分離領域とすべき領域のフォトレジスト4を除去し、残存したフォトレジスト4をマスクとして異方性ドライエッチングを行うことによってシリコン窒化膜3を選択的に除去する。しかる後、シリコン窒化膜3及びフォトレジスト4をマスクとして、例えば砒素等のN型不純物を斜めからイオン注入することによりシリコン基板1内に打ち込み、シリコン基板1の表面に不純物拡散層であるソース・ドレイン5を形成する。この時の条件としては、砒素を打ち込む場合、エネルギーを50~90keV、ドーズ量を $5 \times 10^{15} \text{ cm}^{-2}$ に設定する。

【0031】さらに、打ち込みの角度 θ は、シリコン窒化膜3及びフォトレジスト4の膜厚の合計(高さ)をa、隣接パターン間隔をbとすると、

$$\theta = \tan^{-1}(a/b)$$

で与えられる。例えば、シリコン窒化膜3及びフォトレジスト4の厚みがそれぞれ100nm及び100nm($a=0.20\mu\text{m}$)で、間隔bが1 μm の時、 θ はおおよそ $11 \sim 12^\circ$ となり、シリコン窒化膜3及びフォトレジスト4の厚みがそれぞれ300nm及び550nm($a=0.85\mu\text{m}$)で、間隔bが1 μm の時、 θ はおおよそ $40 \sim 41^\circ$ となる。尚、フォトレジスト4を除去してから斜めイオン注入を行うことにより、イオン注入

7

角度を適宜調節してもよい。

【0032】このようにシリコン基板1に対して斜め方向からイオン注入を行うことにより、シリコン窒化膜3及びフォトレジスト4がマスクとなって、それらの端部近傍部分に、互いに離隔したソース・ドレイン5が自己整合的に形成される。そして、この時に打ち込まれた不純物が後の熱処理によって若干横方向に拡散し、パッド酸化膜2の下方に一部が重なった形のソース・ドレイン5が形成される。

【0033】次に、図2(c)に示すように、フォトレジスト4を除去する。

【0034】次に、図2(d)に示すように、シリコン窒化膜3を耐酸化マスクとしたLOCOS法によってシリコン基板1を熱酸化し、膜厚450~600nm程度のフィールド酸化膜6を形成する。これにより、ソース・ドレイン5は、フィールド酸化膜6の長手方向に沿ってフィールド酸化膜6の端部近傍部分のシリコン基板1表面に形成される。このとき、パッド酸化膜2により、熱酸化時の熱ストレスが緩和される。しかる後、パッド酸化膜2及びシリコン窒化膜3を除去する。尚、メモリセル間の素子分離をする素子分離構造としては、フィールド酸化膜6に限らず、シリコン基板1上に絶縁膜を介して形成されたシールド電極によって素子分離を行う、所謂フィールドシールド素子分離構造であってもよい。

【0035】次に、図3(a)に示すように、フィールド酸化膜6に囲まれた素子領域のシリコン基板1上に犠牲酸化膜(図示せず)を形成及び除去した後、フィールド酸化膜6に囲まれたシリコン基板1上に熱酸化法によって膜厚10nm程度のトンネル酸化膜7を形成する。尚、トンネル酸化膜7は、シリコン酸化膜をアンモニア雰囲気下での急速熱処理法によって窒化した酸化膜でもよい。このように、酸化膜をトンネル膜として用いることにより、リーク電流の発生を抑制することができ、メモリセルの信頼性を高めることができる。しかる後、膜厚50~100nm程度の多結晶シリコン膜8をCVD法によって全面に形成し、さらに膜厚50nm程度のシリコン窒化膜9をCVD法によって全面に形成する。また、多結晶シリコン膜8には、不純物を導入しながらのCVD法によって或いはCVD法による成膜後の固相ドーピングによって、例えばリン等の不純物を導入する。

【0036】次に、図3(b)に示すように、ソース・ドレイン5が形成されていないシリコン基板1上、及び、フィールド酸化膜6上の多結晶シリコン膜8及びシリコン窒化膜9を除去し、多結晶シリコン膜8及びシリコン窒化膜9をフィールド酸化膜6の長手方向に延びたスリット状パターン10a、10bに加工する。これによって、多結晶シリコン膜8は、パターン10a下の多結晶シリコン膜8aと、パターン10b下の多結晶シリコン膜8bとに分断される。尚、フィールド酸化膜6上

8

の多結晶シリコン膜8及びシリコン窒化膜9は必ずしも除去する必要はない。また、パターン10a、10bは、いずれか一方だけ形成するようにしてもよい。

【0037】次に、図3(c)に示すように、パターン10a、10b間の溝部の底面に露出するトンネル酸化膜7をエッチング除去した後、熱酸化法によって膜厚20~30nm程度で幅0.4μm程度のゲート酸化膜11を形成する。このように、パターン10a、10bを形成する際のエッチングで損傷を受けたトンネル酸化膜7を除去した後にゲート酸化膜11を形成することにより、膜質の優れたゲート酸化膜11を形成することができる。これにより、ゲート酸化膜11は、幅0.2μm程度のトンネル酸化膜7で挟まれる形になる。尚、溝部の底面に露出するトンネル酸化膜7を除去せずに熱酸化を行ってゲート酸化膜11を形成してもよい。この熱酸化によって、多結晶シリコン膜8a、8bの側壁にはシリコン酸化膜12が形成されるとともに、トンネル酸化膜7はゲート酸化膜11を挟んだ2箇所のトンネル酸化膜7a、7bに分断される。

【0038】次に、図3(d)に示すように、多結晶シリコン膜8a、8b上のシリコン窒化膜9を熱リン酸で除去した後、多結晶シリコン膜8a、8b上での膜厚が50~100nm程度の多結晶シリコン膜14をCVD法で全面に形成する。このとき、パターン10a、10b間の溝部は、多結晶シリコン膜14によって埋め込まれる。この多結晶シリコン膜14も多結晶シリコン膜8と同様にリン等の不純物を導入する。

【0039】次に、図3(e)に示すように、フィールド酸化膜6上の多結晶シリコン膜14及びシリコン酸化膜12を、フォトレジスト(図示せず)を用いた異方性エッチングによって除去する。これによって、フィールド酸化膜6の長手方向に延びたスリット状パターンを有するとともに、多結晶シリコン膜14及び多結晶シリコン膜8a、8bからなる浮遊ゲート16を形成する。尚、フィールド酸化膜6上の多結晶シリコン膜14及びシリコン酸化膜12は、少なくとも隣接する浮遊ゲート16間を離隔する溝部17が形成されるように除去すればよい。従って、シリコン酸化膜12は必ずしも除去する必要はなく、また、多結晶シリコン膜8a、8bの一部を除去してもよい。

【0040】次に、図3(f)に示すように、浮遊ゲート16を構成する多結晶シリコン膜14及び多結晶シリコン膜8a、8bの表面に酸化膜換算膜厚15~20nm程度のONO膜(シリコン酸化膜/シリコン窒化膜/シリコン酸化膜)18を形成する。このとき、ONO膜18を構成する下層のシリコン酸化膜は温度900~1000℃程度の熱酸化又はCVD法で膜厚10nm程度に形成し、シリコン窒化膜はCVD法で膜厚10nm程度に形成し、上層のシリコン酸化膜は温度900~1000℃程度の熱酸化又はCVD法で膜厚5nm程度に形

成する。尚、ONO膜18は、図3(d)に示す工程において多結晶シリコン膜14を形成した後に、その上に形成してもよい。

【0041】次に、図3(g)に示すように、全面に多結晶シリコン膜19を形成した後、フォトレジスト(図示せず)をマスクとする異方性エッチングを行って、多結晶シリコン膜19、ONO膜18及び浮遊ゲート16を選択的にエッチング除去し、フィールド酸化膜6の長手方向と直交する方向に延びたスリット状パターンに加工する。これによって、多結晶シリコン膜19を制御ゲート(ワード線)20(図1参照)の形状に加工するとともに、浮遊ゲート19をフィールド酸化膜6の長手方向と直交する方向においてメモリセル毎に分断する。尚、多結晶シリコン膜19の代わりにポリサイド膜を用いてワード線の低抵抗化を図るようにしてもよい。しかる後、全面に層間絶縁膜21を形成し、さらに配線(図示せず)を設けて図1に示すようなフラッシュメモリが製造される。

【0042】本実施例では、トンネル酸化膜7上に形成した多結晶シリコン膜8を選択的に除去した箇所にゲート酸化膜11を熱酸化によって形成するので、比較的少ない工程により且つ短時間で低電圧での単一電源動作が可能なフラッシュメモリを形成することができる。また、製造中にトンネル酸化膜7a、7b以外の部分が不必要にエッチングされてその部分の膜厚が薄くなってしまうことがないので、トンネル酸化膜7a、7bにおいて大きな電界集中を起こすことができる。

【0043】また、斜めイオン注入法によって、フィールド酸化膜6の端部近傍部分のシリコン基板1内にソース・ドレイン5を形成するので、フィールド酸化膜6の端部近傍部分のシリコン基板1内に簡便且つ自己整合的にソース・ドレイン5を形成することができるとともに、フィールド酸化膜6に沿った複数のメモリセルに共有されるソース・ドレイン5が形成されるためにメモリセル毎にビットコンタクトやソースコンタクトを設ける必要がない。従って、メモリセルをより高集積化することができる。

【0044】次に、このフラッシュメモリの書き換え動作を説明する。ここでは、浮遊ゲート電極に電子がない状態を書き込み状態とし、浮遊ゲート電極に電子が蓄積している状態を消去状態と定義する。

【0045】まず、図1に示すメモリセルにデータを書き込むには、 $V_{gs}=0V$ 、 $V_d=8\sim 9V$ 、 $V_s=0p$ 、 $V_{ss}=0V$ に夫々バイアスする。尚、 V_{gs} は制御ゲート20に印加する電圧、 V_d はドレイン電圧、 V_s はソース電圧、 V_{ss} は基板電位である。すると、予め浮遊ゲート電極16に蓄積していた電子がドレイン5と浮遊ゲート電極16とのオーバーラップ部分のトンネル酸化膜7bを通じてFNトンネル電流によって、ドレイン5へと引き抜かれる。その結果、消去状態で例えば

7V程度であったメモリセルのしきい値電圧が2V程度へと変化し、メモリセルは書き込み状態("1")となる。

【0046】次に、メモリセルに記憶されたデータを消去するには、 $V_{gs}=0V$ 、 $V_{gs}=11\sim 12V$ 、 $V_{ss}=0V$ 、 $V_d=0V$ に夫々バイアスする。すると、ソース5及びドレイン5と浮遊ゲート16とのオーバーラップ部分のトンネル酸化膜7a、7bを通じてFNトンネル電流により、電子が浮遊ゲート電極16に注入される。その結果、メモリセルのしきい値電圧が2V程度から7V程度へと変化し、メモリセルは消去状態("0")となる。

【0047】次に、メモリセルに記憶されたデータの読み出しを行うには、浮遊ゲート16へのホットエレクトロン注入が起こらないように、 $V_{gs}=3V$ 、 $V_d=1V$ 、 $V_s=V_{ss}=0V$ に夫々バイアスする。そして、ドレイン電流の有無によって、メモリセルが書き込み状態又は消去状態のいずれであるかを判定する。

【0048】図4は、第2実施例のフラッシュメモリのメモリセルアレイ部分の部分的な概略構成を示す図であり、図4(a)は平面図、図4(b)は図4(a)のB-B線での断面図である。

【0049】図4(a)において、フィールド酸化膜6の長手方向と直交する方向には、複数のメモリセルに共有された制御ゲート(ワード線)20が形成されている。そして、制御ゲート20の下部であって、フィールド酸化膜6に挟まれた素子領域上には各メモリセルの浮遊ゲート16が形成されている。また、各浮遊ゲート16下のシリコン基板1表面には、隣接するトンネル酸化膜7a、7bよりも膜厚の大きいゲート酸化膜11が、トンネル酸化膜7a、7bとの境界が制御ゲート20に沿った方向となるように形成されている(図4(b)参照)。

【0050】N型不純物拡散層であるソース・ドレイン5は、フィールド酸化膜6の長手方向に沿ってフィールド酸化膜6の端部近傍部分のシリコン基板1表面に形成されている。即ち、ソース・ドレイン5は、フィールド酸化膜6の長手方向に配列された多数のメモリセルに夫々共有されている。また、ソース・ドレイン5は、図示しないビットコンタクト等を介してビット線等に接続されている。

【0051】図4(b)において、各メモリセルは、P型シリコン基板1上にトンネル酸化膜7a、7b及びゲート酸化膜11を介して形成された浮遊ゲート16(多結晶シリコン膜14及び多結晶シリコン膜8a、8bからなる)と、浮遊ゲート16上にONO膜18を介して形成された制御ゲート20とを有している。さらに、各メモリセルは、図4(a)に示すように、フィールド酸化膜6の端部近傍部分のシリコン基板1表面に形成されたソース・ドレイン5を有している。また、ゲート酸化

膜11上には、多結晶シリコン膜14及び多結晶シリコン膜8a、8bの境界まで上方に延びた2本のシリコン酸化膜12が形成されている。さらに、メモリセルの全体は、層間絶縁膜21で覆われている。

【0052】図4(a)及び(b)から明らかなように、本実施例のフラッシュメモリは、フィールド酸化膜6下以外のソース・ドレイン5とトンネル酸化膜7a、7bとのオーバーラップ部分を介して、ソース・ドレイン5と浮遊ゲート16との間で電子の注入及び引き抜きが行われる。このオーバーラップ部分は、1つのメモリセルのソース・ドレイン5の一方について例えば、0.1 $\mu\text{m} \times 0.4 \mu\text{m}$ 程度の領域が2つである。尚、この場合も、トンネル酸化膜7a、7bは、そのいずれか一方だけに形成されていればよい。

【0053】次に、本実施例のフラッシュメモリの製造方法を、図4(b)に対応した断面を工程順に示す図5を参照しながら説明する。

【0054】まず、図5(a)に示すように、第1実施例と同様の方法でP型シリコン基板1の表面に斜めイオン注入法によって不純物拡散層であるソース・ドレイン(図示せず)を形成した後、フィールド酸化膜(図示せず)を形成する。しかる後、フィールド酸化膜に囲まれた素子領域のシリコン基板1上に犠牲酸化膜(図示せず)を形成及び除去した後、フィールド酸化膜に囲まれたシリコン基板1上に熱酸化法によって膜厚10nm程度のトンネル酸化膜7を形成する。しかる後、膜厚50~100nm程度の多結晶シリコン膜8をCVD法によって全面に形成し、さらに膜厚50nm程度のシリコン窒化膜9をCVD法によって全面に形成する。

【0055】次に、図5(b)に示すように、浮遊ゲートを形成すべき領域以外の領域、及び、浮遊ゲートを形成すべき領域のうちゲート酸化膜を形成すべき領域の多結晶シリコン膜8及びシリコン窒化膜9を除去し、多結晶シリコン膜8及びシリコン窒化膜9をフィールド酸化膜6の長手方向と直交する方向に延びたスリット状パターン10a、10bに加工する。これによって、多結晶シリコン膜8は、パターン10a下の多結晶シリコン膜8aと、パターン10b下の多結晶シリコン膜8bとに分断される。尚、浮遊ゲートを形成すべき領域以外の領域の多結晶シリコン膜8及びシリコン窒化膜9は必ずしも除去する必要はない。また、パターン10a、10bは、いずれか一方だけ形成するようにしてもよい。

【0056】次に、図5(c)に示すように、パターン10a、10b間の溝部の底面に露出するトンネル酸化膜7を除去した後、熱酸化法によって膜厚20~30nm程度のゲート酸化膜11を形成する。これにより、パターン10a、10b間の幅0.4 μm 程度のゲート酸化膜11は、幅0.4 μm 程度のトンネル酸化膜7で挟まれる形になる。尚、溝部の底面に露出するトンネル酸化膜7を除去せずに熱酸化を行ってゲート酸化膜11を

形成してもよい。この熱酸化によって、多結晶シリコン膜8a、8bの側壁にはシリコン酸化膜12が形成されるとともに、トンネル酸化膜7はゲート酸化膜11を挟んだ2つのトンネル酸化膜7a、7bに分断される。

【0057】次に、図5(d)に示すように、多結晶シリコン膜8a、8b上のシリコン窒化膜9を熱リン酸で除去した後、多結晶シリコン膜8a、8b上での膜厚が50~100nm程度の多結晶シリコン膜14をCVD法で全面に形成する。このとき、パターン10a、10b間の溝部は、多結晶シリコン膜14によって埋め込まれる。

【0058】次に、フィールド酸化膜6上の多結晶シリコン膜14及びシリコン酸化膜12を、フォトレジスト(図示せず)を用いた異方性エッチングによって除去する(図3(e)参照)。これによって、フィールド酸化膜6の長手方向に延びたスリット状パターンを有するとともに、多結晶シリコン膜14及び多結晶シリコン膜8a、8bからなる浮遊ゲート16を形成する。

【0059】次に、図5(e)に示すように、浮遊ゲート16を構成する多結晶シリコン膜14及び多結晶シリコン膜8a、8bの表面に酸化膜換算膜厚15~20nm程度のONO膜(シリコン酸化膜/シリコン窒化膜/シリコン酸化膜)18を形成する。尚、ONO膜18は、図5(d)に示す工程において多結晶シリコン膜14を形成した後、その上に形成してもよい。さらに、全面に多結晶シリコン膜19を形成する。

【0060】次に、図5(f)に示すように、フォトレジスト(図示せず)をマスクとする異方性エッチングを行って、多結晶シリコン膜19、ONO膜18及び浮遊ゲート16を選択的にエッチング除去し、フィールド酸化膜6の長手方向と直交する方向に延びたスリット状パターンに加工する。これによって、多結晶シリコン膜19を制御ゲート(ワード線)20の形状に加工するとともに、浮遊ゲート19をフィールド酸化膜6の長手方向と直交する方向においてメモリセル毎に分断する。しかる後、全面に層間絶縁膜21を形成し、さらに配線(図示せず)を設けて図4に示すようなフラッシュメモリが製造される。

【0061】本実施例では、トンネル酸化膜7上に形成した多結晶シリコン膜8を選択的に除去した箇所にゲート酸化膜11を熱酸化によって形成するので、比較的少ない工程により且つ短時間で低電圧での単一電源動作が可能なフラッシュメモリを形成することができる。また、製造中にトンネル酸化膜7a、7b以外の部分が不必要にエッチングされてその部分の膜厚が薄くなってしまうことがないので、トンネル酸化膜7a、7bにおいて大きな電界集中を起こすことができる。

【0062】図6は、第3実施例のフラッシュメモリのメモリセルアレイ部分の部分的な概略構成を示す図であり、図6(a)は平面図、図6(b)は図6(a)のC

—C線での断面図である。

【0063】図6(a)において、フィールド酸化膜6の長手方向と直交する方向には、複数のメモリセルに共有された制御ゲート(ワード線)20が形成されている。そして、制御ゲート20の下部であって、フィールド酸化膜6に挟まれた素子領域上には各メモリセルの浮遊ゲート16が形成されている。また、各浮遊ゲート16下のシリコン基板1表面には、隣接するトンネル酸化膜7a、7bよりも膜厚の大きいゲート酸化膜11が、トンネル酸化膜7a、7bとの境界がフィールド酸化膜6に沿った方向となるように形成されている(図6(b)参照)。

【0064】N型不純物拡散層であるソース・ドレイン5は、制御ゲート20及びフィールド酸化膜6に囲まれた領域のシリコン基板1表面に形成されている。即ち、ソース・ドレイン5は、フィールド酸化膜6の長手方向に配列された2つのメモリセルに夫々共有されている。ここで、ソース・ドレイン5は、浮遊ゲート16下のゲート酸化膜11及びトンネル酸化膜7a、7bと0.05~0.3 μ m程度部分的にオーバーラップしている。また、ソース・ドレイン5の一方(ドレイン)は、制御ゲート20及びフィールド酸化膜6に囲まれた領域毎に設けられたビットコンタクト(図示省略)を介してビット線(図示せず)に接続されており、他方(ソース)もソースコンタクト(図示省略)を介してソース線(図示せず)に接続されている。

【0065】図6(b)において、各メモリセルは、P型シリコン基板1上にトンネル酸化膜7a、7b及びゲート酸化膜11を介して形成された浮遊ゲート16(多結晶シリコン膜14及び多結晶シリコン膜8a、8bからなる)と、浮遊ゲート16上にONO膜18を介して形成された制御ゲート20とを有している。さらに、各メモリセルは、浮遊ゲート16下のゲート酸化膜11及びトンネル酸化膜7a、7bと0.05~0.3 μ m程度部分的にオーバーラップしてシリコン基板1表面に形成されたソース・ドレイン5を有している。また、ゲート酸化膜11上には、多結晶シリコン膜14及び多結晶シリコン膜8a、8bの境界まで上方に延びた2本のシリコン酸化膜12が形成されている。さらに、メモリセルの全体は、層間絶縁膜21で覆われている。

【0066】図6(a)及び(b)から明らかなように、本実施例のフラッシュメモリは、フィールド酸化膜6下以外のソース・ドレイン5とトンネル酸化膜7a、7bとのオーバーラップ部分を介して、ソース・ドレイン5と浮遊ゲート16との間で電子の注入及び引き抜きが行われる。このオーバーラップ部分は、1つのメモリセルのソース・ドレイン5の一方について例えば0.1 μ m×0.6 μ m程度の領域が2つである。

【0067】次に、本実施例のフラッシュメモリの製造方法について説明する。本実施例における製造方法は、

ソース・ドレイン5の形成工程以外は、図2及び図3で説明した第1実施例と同じである。従って、ここでは、第1実施例と相違する工程だけを説明する。

【0068】本実施例では、図2(b)の工程で斜めイオン注入によりソース・ドレイン5を形成するのではなく、図3(g)までの工程が終了した段階で制御ゲート20及びフィールド酸化膜6をマスクとして通常のイオン注入を行う。このときのイオン注入の条件は、イオン注入の角度以外は第1実施例で説明したのと同様でよい。そして、この時に打ち込まれた不純物が後の熱処理によって若干横方向に拡散し、ゲート酸化膜11及びトンネル酸化膜7a、7bの下方に一部が重なった形のソース・ドレイン5が形成される。従って、本実施例によると、不純物の横方向拡散によってトンネル酸化膜7a、7bとソース・ドレイン5とのオーバーラップ部分を形成するので、イオン注入されたシリコン基板1表面を熱酸化してトンネル酸化膜7を形成することがなくなり、トンネル酸化膜の膜質が第1及び第2実施例の場合よりも向上する。よって、リーク電流が極めて少なく信頼性の高いメモリセルを得ることができる。

【0069】図7は、第4実施例のフラッシュメモリのメモリセルアレイ部分の部分的な概略構成を示す図であり、図7(a)は平面図、図7(b)は図7(a)のB—B線での断面図である。

【0070】図7(a)において、フィールド酸化膜6の長手方向と直交する方向には、複数のメモリセルに共有された制御ゲート(ワード線)20が形成されている。そして、制御ゲート20の下部であって、フィールド酸化膜6に挟まれた素子領域上には各メモリセルの浮遊ゲート16が形成されている。また、各浮遊ゲート16下のシリコン基板1表面には、隣接するトンネル酸化膜7a、7bよりも膜厚の大きいゲート酸化膜11が、トンネル酸化膜7a、7bとの境界が制御ゲート20に沿った方向となるように形成されている(図7(b)参照)。

【0071】N型不純物拡散層であるソース・ドレイン5は、制御ゲート20及びフィールド酸化膜6に囲まれた領域のシリコン基板1表面に形成されている。即ち、ソース・ドレイン5は、フィールド酸化膜6の長手方向に配列された2つのメモリセルに夫々共有されている。ここで、ソース・ドレイン5は、浮遊ゲート16下のゲート酸化膜11及びトンネル酸化膜7a、7bと0.05~0.3 μ m程度部分的にオーバーラップしている。また、ソース・ドレイン5の夫々は、制御ゲート20及びフィールド酸化膜6に囲まれた領域毎に設けられたビットコンタクト等(図示省略)を介してビット線等(図示せず)に接続されている。

【0072】図7(b)において、各メモリセルは、P型シリコン基板1上にトンネル酸化膜7a、7b及びゲート酸化膜11を介して形成された浮遊ゲート16(多

結晶シリコン膜14及び多結晶シリコン膜8a、8bからなる)と、浮遊ゲート16上にONO膜18を介して形成された制御ゲート20とを有している。さらに、各メモリセルは、図7(a)に示すように、浮遊ゲート16下のゲート酸化膜11及びトンネル酸化膜7a、7bと0.05~0.3 μ m程度部分的にオーバーラップしてシリコン基板1表面に形成されたソース・ドレイン5を有している。また、ゲート酸化膜11上には、多結晶シリコン膜14及び多結晶シリコン膜8a、8bの境界まで上方に延びた2本のシリコン酸化膜12が形成されている。さらに、メモリセルの全体は、層間絶縁膜21で覆われている。

【0073】図7(a)及び(b)から明らかなように、本実施例のフラッシュメモリは、フィールド酸化膜6下以外のソース・ドレイン5とトンネル酸化膜7a、7bとのオーバーラップ部分を介して、ソース・ドレイン5と浮遊ゲート16との間で電子の注入及び引き抜きが行われる。このオーバーラップ部分は、1つのメモリセルのソース・ドレイン5の一方について例えば0.1 μ m×0.6 μ m程度の領域であり、きわめて狭い面積を有するに過ぎないので、浮遊ゲート16及びソース・ドレイン5間の容量を非常に小さくすることができる。その結果、トンネル酸化膜7a、7bでの電界集中が大きくなってFNトンネリング現象による電子の引き抜き及び注入を効率よく行うことができる。尚、この場合も、トンネル酸化膜7a、7bは、そのいずれか一方だけに形成されていればよい。

【0074】次に、本実施例のフラッシュメモリの製造方法について説明する。本実施例における製造方法は、ソース・ドレイン5の形成工程以外は、図2及び図5で説明した第2実施例と同じである。従って、ここでは、第2実施例と相違する工程だけを説明する。

【0075】本実施例では、図2(b)の工程で斜めイオン注入によりソース・ドレイン5を形成するのではなく、図5(f)までの工程が終了した段階で制御ゲート20及びフィールド酸化膜6をマスクとして通常のイオン注入を行う。このときのイオン注入の条件は、イオン注入の角度以外は第1実施例で説明したのと同様でよい。そして、この時に打ち込まれた不純物が後の熱処理によって若干横方向に拡散し、ゲート酸化膜11及びトンネル酸化膜7a、7bの下方に一部が重なった形のソース・ドレイン5が形成される。従って、本実施例によると、第3実施例と同じく、トンネル酸化膜の膜質を第1及び第2実施例の場合よりも向上させることができる。

【0076】以上に説明した第1~第4実施例は、浮遊ゲート16を有するスタックゲート型メモリセルを有するフラッシュメモリについてであったが、本発明は、高電圧を印加するMNOS型のEEPROMについても適用することができる。その場合は、多結晶シリコン膜

8、14の代わりにシリコン窒化膜を用いるとともに、シリコン窒化膜9及びONO膜18の形成を省略すればよい。

【0077】つまり、MNOS型のEEPROMの製造方法は、工程順に説明すると、第1導電型の半導体基板上にトンネル絶縁膜を形成する工程と、しかる後、全面に第1の窒化膜を形成する工程と、上記第1の窒化膜を選択的に除去し、上記第1の窒化膜のパターンを形成する工程と、上記第1の窒化膜のパターンの間の上記半導体基板上に、上記トンネル絶縁膜よりも膜厚の大きいゲート絶縁膜を熱酸化によって形成する工程と、しかる後、上記第1の窒化膜上に第2の窒化膜を形成する工程と、少なくとも上記第2の窒化膜を選択的に除去し、上記トンネル絶縁膜及び上記ゲート絶縁膜上に上記第1の窒化膜及び上記第2の窒化膜からなる複合窒化膜を形成する工程と、上記第2の窒化膜上にゲート電極となる導電性膜をパターン形成する工程とを有する。

【0078】

【発明の効果】以上説明したように、本発明によると、トンネル絶縁膜上に形成した第1の導電性膜を選択的に除去した箇所にゲート絶縁膜を熱酸化によって形成するので、従来のようにサイドウォール膜を形成した後に熱酸化を行ってシリコン酸化膜を形成し、さらにサイドウォール膜を除去するという多くの煩雑な工程を行う必要がなくなる。従って、装置の製造が比較的短時間であり、スループットが向上する。また、製造中にトンネル絶縁膜以外の部分が不必要にエッチングされてその部分の膜厚が薄くなってしまうことがないので、トンネル絶縁膜での電界集中が阻害されることがなくなる。従って、不揮発性半導体記憶装置を所望の低電圧で単一電源動作させることが可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施例の不揮発性半導体記憶装置の概略構造を示す図である。

【図2】本発明の第1実施例の不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。

【図3】本発明の第1実施例の不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。

【図4】本発明の第2実施例の不揮発性半導体記憶装置の概略構造を示す図である。

【図5】本発明の第2実施例の不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。

【図6】本発明の第3実施例の不揮発性半導体記憶装置の概略構造を示す図である。

【図7】本発明の第4実施例の不揮発性半導体記憶装置の概略構造を示す図である。

【図8】従来の不揮発性半導体記憶装置の製造方法を工程順に示す断面図である。

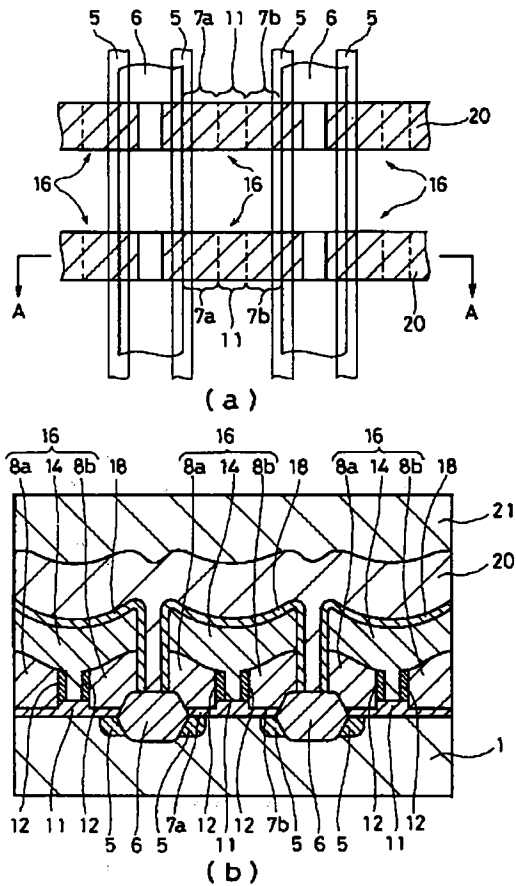
【符号の説明】

1 シリコン基板

17

- 2 シリコン酸化膜
 3、9 シリコン窒化膜
 4 フォトリソグリス
 5 ソース・ドレイン
 6 フィールド酸化膜
 7、7a、7b トンネル酸化膜
 8、8a、8b、14、19 多結晶シリコン膜
 10a、10b パターン

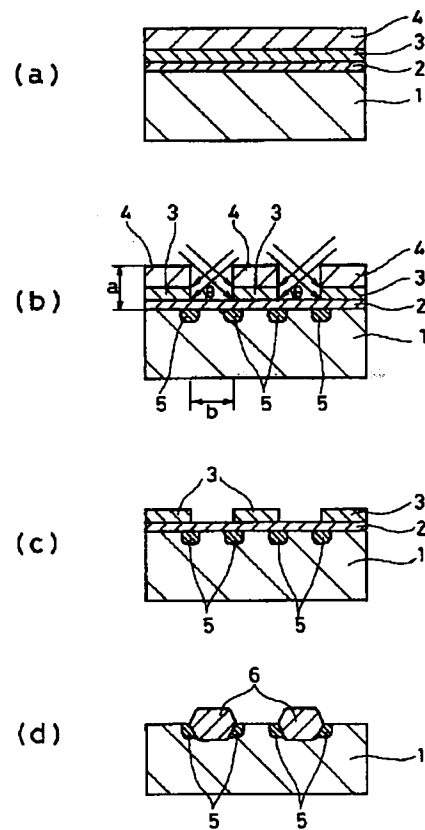
【図1】



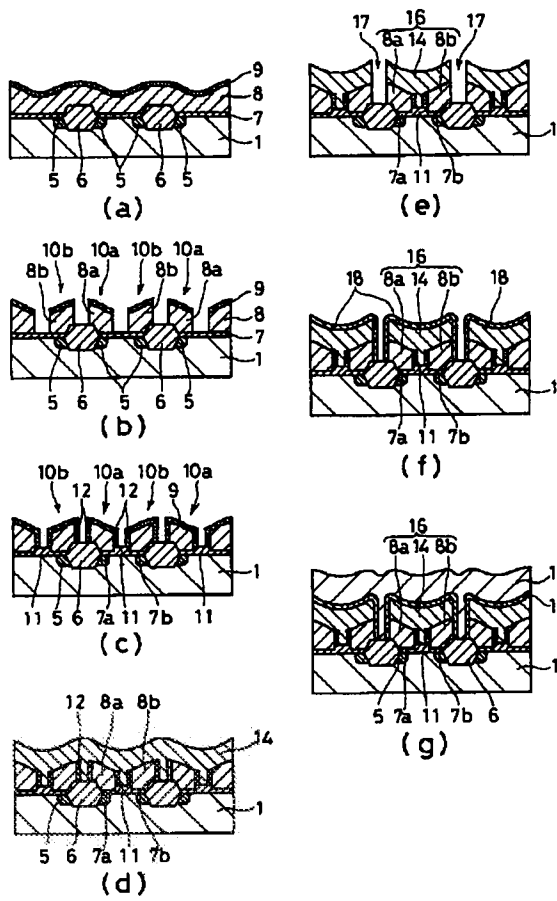
18

- 11 ゲート酸化膜
 12 シリコン酸化膜
 16 浮遊ゲート
 17 溝部
 18 ONO膜
 20 制御ゲート
 21 層間絶縁膜

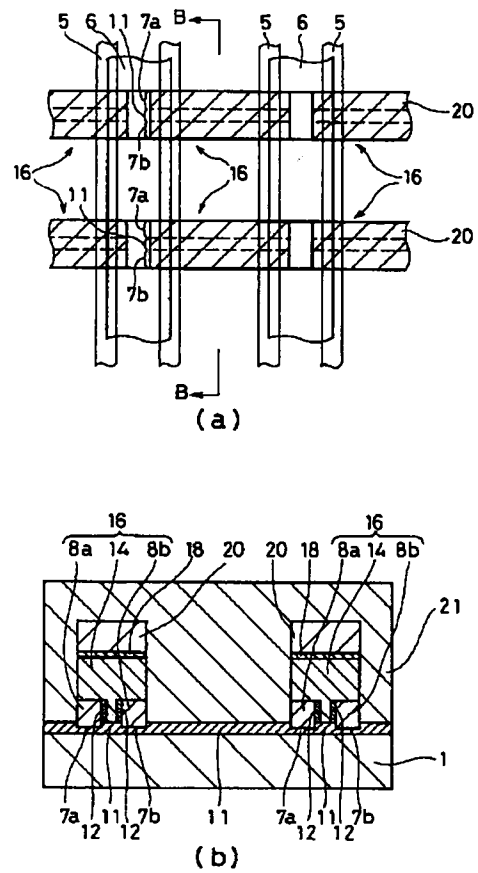
【図2】



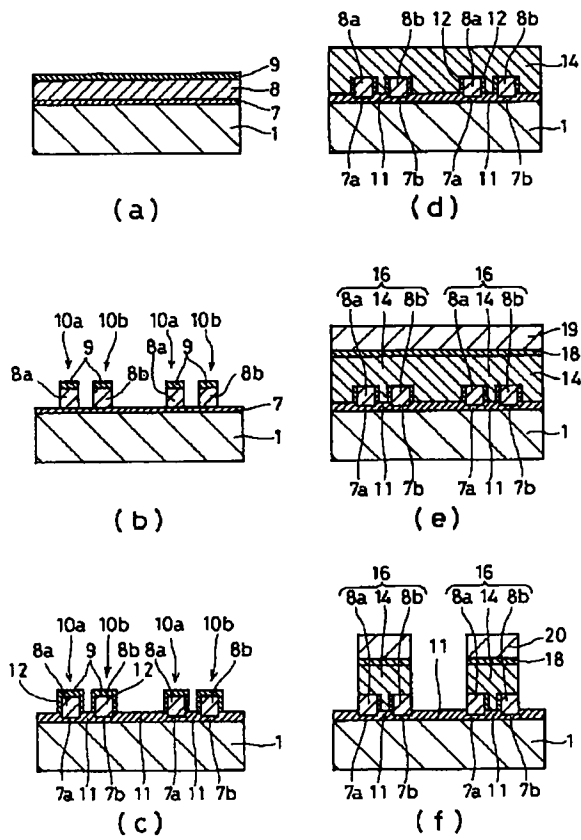
【図3】



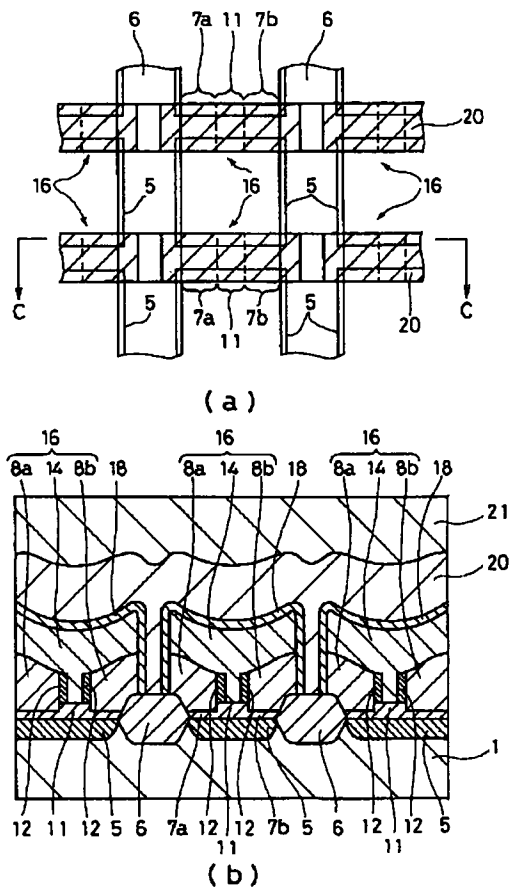
【図4】



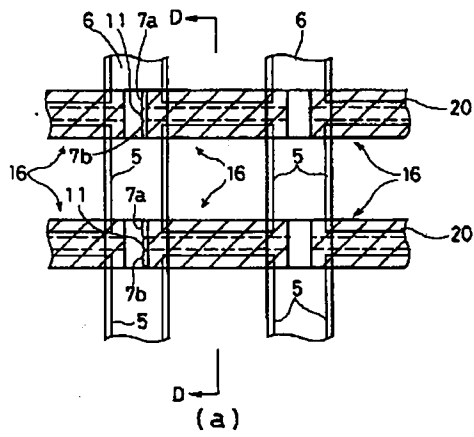
【図5】



【図6】



【図7】



【図8】

